

# 6

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the image pck-up system which has a solid state camera.

[0002]

[Description of the Prior Art] In recent years, an MOS type solid state image pickup device is an element with which there is an advantage of a low battery, a single power supply, and a low cost, and it attracts attention.

[0003] Since the digital disposal circuit which processes the output signal of this solid state camera consists of MOS transistors, the solid state camera which has this MOS type solid state image pickup device becomes possible

[ communalizing a manufacturing process ], and can be formed on the same substrate as the above-mentioned digital disposal circuit. As shown in drawing 15, when a video camera 60 is taken for an example as an image pck-up system which has an MOS type solid state camera, for example, this video camera 60 The MOS type sensor 61 which is an image pck-up element, and the automatic gain control circuit 62 (henceforth AGC circuit 62) which adjusts the level of a voltage signal, The clamping circuit 63 (henceforth a CLP circuit) which clamps a voltage signal, The AD translation circuit 64 which changes an analog signal into a digital signal, and the timing-control circuit 65 which generates a clock pulse and controls timing of the image pck-up system 60, The timing generator / signal generator circuit 66 (henceforth the TG/SG circuit 66) which generates the timing signal and drive control signal for carrying out drive control of the MOS type sensor 61 synchronizing with the above-mentioned clock pulse, The DSP circuit which processes the digital signal which is the output of an AD translation circuit, It has the encoding circuit 68 which encodes the output of the DSP circuit 67, the output circuit 69 which outputs the encoded signal, and the DA translation circuit 70 which changes the output of an output circuit 69 into an analog signal.

[0004] After level is adjusted by AGC circuit 62, the picture voltage signal by which photo electric translation was carried out by the MOS type sensor 61 is clamped by the CLP circuit 63, and is sent to the AD translation circuit 64 And the above-mentioned picture voltage signal is changed into the digital image signal with which 1 sampled value consists of 8 bits by the AD translation circuit 64, and is sent to the DSP circuit 67. The DSP circuit 67 consists of f example, a color separation circuit, a clamping circuit, a gamma correction circuit, a white amendment circuit, a bla amendment circuit, 21 circuits, the color counterbalancing circuit, etc., and performs required signal processing to th supplied digital image signal. And the signal processed by the DSP circuit 67 is sent to the encoder circuit 68. In the encoder circuit 68, the sent picture signal is decoded and it changes into a luminance signal and a color-difference signal. Timing is controlled by the timing signal and drive control signal by which the MOS type sensor 61 is sent from the TG/SG circuit 66. Then, the decoded picture signal is supplied to the DA translation circuit 70 through an output circuit 69, is changed into an analog video signal, and is outputted outside.

[0005]

[Problem(s) to be Solved by the Invention] In an above-mentioned image pck-up system, only the image pck-up field of the MOS type sensor 61 has the function to change a picture lightwave signal into a signal charge, and, as for circuits other than this MOS type sensor 61, high integration and a speed property are thought as important. In order to aim at high integration and an improvement of a speed property, it is necessary to multilayer.

[0006] Whether on the other hand in the image pck-up field of the MOS type sensor 61 treating light, distance is in agreement with the focal distance of the above-mentioned micro lens to the photo-electric-translation field which performs photo electric translation which the micro lens for generally condensing light in the upper part of an image pck-up system was formed, and was formed on the semiconductor substrate from this micro lens poses a problem. That is, even if multilayered for high integration and an improvement of a speed property of the surrounding digital disposal circuit of the MOS type sensor 61, the distance of the above-mentioned photo-electric-translation field from a micro lens must correspond with the focal distance of a micro lens mostly. Moreover, aluminum wiring which

serves as a shading layer in a photo-electric-translation field serves as incidence prevention of the scattered reflection according [ the direction near a semiconductor substrate ] to shading etc.

[0007] In the image pick-up system containing the conventional MOS type solid state camera, in order to think an image pick-up property as important, the circumference circuit of an image pick-up field is not multilayered. For this reason, the problem that integration and improvement in the speed of a circumference circuit are not realizable arise

[0008] Moreover, when accelerating operation of a circumference circuit, or when [ in order to make a design easy, forming the circuit (an MOS type sensor is also included) formed on the same substrate by the multilayer interconnection, realization of condensing to a photo-electric-translation field becomes difficult, and the problem of causing degradation of an image pick-up property produces it.

[0009] These troubles are explained with reference to drawing 16 and drawing 17 .

[0010] Drawing 16 is a cross section when cutting the image pick-up system shown in drawing 15 by cutting-plane-line X-X'. The image pick-up system shown in this drawing 16 has the composition of having thought the image pick up property as important. As for this image pick-up system, photo-electric-translation layer 27a from which the MOS type sensor 61 changes the picture lightwave signal 40 into a picture electrical signal in the image pick-up field 81 of the semiconductor substrate 23 formed, and diffusion layer 27b are formed. On the semiconductor substrate 23 between this photo-electric-translation layer 27a and diffusion layer 27b, gate electrode 25a is formed through the gate insulator layer. The MOS type sensor 61 is constituted by gate electrode 25a, photo-electric-translation layer 27 and diffusion layer 27b. In addition, photo-electric-translation layer 8a is arranged in the shape of a matrix in the image pick-up field 81. Diffusion layer 27b is connected to the 1st aluminum wiring 28 through the contact prepared in the layer insulation film 31. Therefore, the picture electrical signal changed into photo-electric-translation layer 2 is sent to the 1st aluminum wiring 28 by gate 25a through diffusion layer 27b and the above-mentioned contact.

[0011] Moreover, shading film 29a which consists of aluminum is formed in the image pick-up field 81 except photo electric-translation layer 27a. And it has the composition that the micro lens 32 for condensing the picture lightwave signal 40 was formed in the field on the layer insulation film 31 right above photo-electric-translation layer 27a.

[0012] On the semiconductor substrate 23 of the circumference circuit field 82 by which isolation was carried out to the image pick-up field 81 on the other hand in the isolation field 24 which consists of an insulator, the MOS transistor which constitutes the above-mentioned circuit is formed. These MOS transistors are equipped with the gate electrode 25 formed through the gate insulator layer on the semiconductor substrate 23 between the source fields and the drain fields 26 which consist of a diffusion layer formed in the semiconductor substrate 23, and these source fields 26 and drain fields 26. And one side is connected to the 1st aluminum wiring 28 through the contact prepared in the layer insulation film 31 among the source field and the drain field 26. Moreover, it is this 1st aluminum wiring 28 with the composition connected to the 2nd aluminum wiring 29 through the contact prepared in the layer insulation film. In addition, the 2nd aluminum wiring 29 and shading film 29a constitute the same layer.

[0013] In the image pick-up system shown in this drawing 16 , the picture lightwave signal 40 condensed by the micro lens 32 so that it may be easy to carry out image formation by photo-electric-translation layer 27a. It considers as two layer wiring structure in the image pick-up field 81 and the circumference circuit field 82. And by-making thin the 2nd aluminum wiring 29 and thickness of shading film 29a, and shortening distance from photo-electric-translation layer 27a to a micro lens 32, the above-mentioned distance is constituted so that it may be mostly in agreement with the focal distance of a micro lens 32. For this reason, the fall of high integration of the circuit formed in the circumference circuit field 82 and improvement in the speed arises.

[0014] In order to prevent the fall of this high integration and improvement in the speed, while making the circuit formed in the circumference circuit field 82 into the three-layer wiring structure of having the 1st or 3rd aluminum wiring 28, 29, and 30, the image pick-up system of composition of having thickened thickness of the 3rd aluminum wiring 30 is shown in the shading film 29a row of aluminum used as the 2nd the aluminum wiring 29 and same layer at drawing 17 . However, in the image pick-up system shown in this drawing 17 , the distance from photo-electric-translation layer 27a to a micro lens 32 becomes longer than the focal distance of a micro lens 32, it becomes difficult for the picture lightwave signal 40 to carry out image formation by photo-electric-translation layer 27a, and an image pick-up property deteriorates.

[0015] this invention is made in consideration of the above-mentioned situation, and while being able to acquire a good image pick-up property as much as possible, it aims at offering the image pick-up system in which high integration and high-speed operation are possible.

[0016]

[Means for Solving the Problem] The MOS type sensor which has the photo-electric-translation layer in which the image pick-up system by this invention was arranged in the shape of a matrix to the image pick-up field of a semiconductor substrate, The circumference circuit section which has the digital disposal circuit which processes the output signal of the drive circuit which is formed in the field of the aforementioned semiconductor substrate except

the aforementioned image pck-up field, and drives the aforementioned MOS type sensor, and the aforementioned MOS type sensor, The micro lens formed through the 1st insulator layer on the aforementioned photo-electric-translation layer since a picture signal was condensed in the aforementioned photo-electric-translation layer, It is characterized by being constituted so that the distance from the front face of \*\*\*\*\* and the 1st insulator layer of the above to the aforementioned semiconductor substrate may become shorter than the distance from the front face of the 2nd insulator layer of the above to the aforementioned semiconductor substrate.

[0017] In addition, as for the aforementioned circumference circuit section, it is desirable that it is the multilayer-interconnection structure where have the 1st or 3rd wiring layer at least, and the laminating of these wiring layers was carried out through the insulator layer.

[0018] In addition, it is desirable that the shading layer used as the 2nd wiring layer of the above and the same layer formed in the aforementioned image pck-up field.

[0019] In addition, as for the aforementioned shading layer, it is desirable to have thickness thinner than the 2nd wiring layer of the above.

[0020] In addition, as for the distance from the aforementioned micro lens to a photo-electric-translation layer, it is desirable that it is almost equal to the focal distance of the aforementioned micro lens.

[0021]

[Embodiments of the Invention] The gestalt of operation of this invention is hereafter explained with reference to a drawing.

[0022] (Gestalt of the 1st operation) The gestalt of operation of the 1st of the image pck-up system by this invention explained with reference to drawing 1 or drawing 6. The cross section in which drawing 1 shows the image pck-up structure of a system of the gestalt of this operation, drawing 2, or drawing 6 is the cross section showing the manufacturing process of the image pck-up system of the gestalt of this operation.

[0023] The image pck-up system of the gestalt of this operation has the composition that an MOS type sensor and its circumference circuit were formed on the same chip. That is, as shown in drawing 1, photo-electric-translation layer 8a which changes a picture lightwave signal into a picture electrical signal, and diffusion layer 8b are formed in the image pck-up field 81 of the semiconductor substrate 3 in which an MOS type sensor is formed. On the semiconductor substrate between this photo-electric-translation layer 8a and diffusion layer 8b, gate electrode 6a is formed through the gate insulator layer 5. An MOS type sensor is constituted by this gate electrode 6a, photo-electric translation layer 8a, and diffusion layer 8b. In addition, photo-electric-translation layer 8a is arranged in the shape of a matrix in the image pck-up field 81.

[0024] On the other hand, on the semiconductor substrate 3 of the circumference circuit field 82 by which isolation was carried out, the MOS transistor which constitutes a circumference circuit is formed in the above-mentioned image pck-up field 81. In addition, the circumference circuit has the same composition as the circumference circuit explained by drawing 15 or drawing 16. These MOS transistors are equipped with the gate electrode 6 formed through the gate insulator layer 5 on the semiconductor substrate 3 between the source field and the drain field 7 which consist of a diffusion layer formed in the semiconductor substrate 3, and these source fields and the drain field 7. Moreover, diffusion layers 8a and 8b are covered by the insulator layer 9 to which flattening of the front face was carried out at the above-mentioned gate electrodes 6 and 6a, the source and the drain field 7, and the row. On the front face of this flattening insulator layer 9, the 1st wiring layer 11 which consists of aluminum is formed. These 1st wiring layer 11 has composition which was connected through the contact prepared in the circumference circuit field 82 one field of the source and the drain fields 7, and in the insulator layer 9, and was connected with diffusion layer 8b through the contact prepared in the insulator layer 9 in the image pck-up field 81.

[0025] These 1st wiring layer 11 is covered by the insulator layer 12 to which flattening of the front face was carried out. And in the image pck-up field 81, the shading films 14a and 14a are formed in the front face of this insulator layer 12 from aluminum, and the 2nd wiring layer 14 which consists of aluminum in the circumference circuit field 82 is formed in it. In addition, thickness forms such shading film 14a and the 2nd wiring layer 14 by thickness 500nm or less. And the 2nd wiring layer 14 has composition connected to the 1st wiring layer 11 through the contact prepared in the insulator layer 12.

[0026] These 2nd wiring layer 14 and shading film 14a are covered by the insulator layer 15 to which flattening of the front face was carried out. And it has the composition that the 3rd wiring layer 17 which consists of aluminum in the circumference circuit field 82 was formed in the front face of an insulator layer 15. This 3rd wiring layer 17 has composition connected to the 2nd wiring layer 14 through the contact prepared in the insulator layer 15. Moreover, the insulator layer 18 is formed all over the substrate so that this 3rd wiring layer 17 may be covered. In the image pck-up field 81, flattening of the front face of this insulator layer 18 is carried out. It has the composition that the micro lens 20 was formed on the insulator layer 18 to which flattening of the image pck-up field 81 was carried out so that a picture lightwave signal might condense to photo-electric-translation layer 8a.

[0027] According to the gestalt of this operation, as explained above, since it is constituted so that it may become lower than the front face of the insulator layer 18 of the circumference circuit field 82 by carrying out flattening, the front face of the insulator layer 18 of the image pck-up field 81 in which a micro lens 20 is formed becomes easy to condense the picture lightwave signal which carried out incidence to the micro lens to photo-electric-translation layer 8a, and can acquire a good image pck-up property. Moreover, the circumference circuit field 82 becomes possible [ considering as the wiring structure of three or more layers ], and can realize high integration and improvement in the speed of a circumference circuit. Moreover, since the 2nd wiring layer 14 which consists of aluminum, and shading film 14a are formed thinly, the hillock accompanying the crystal growth of aluminum can be suppressed.

[0028] Next, the manufacture method of the image pck-up system of the gestalt this operation is explained with reference to drawing 2 or drawing 6.

[0029] First, while forming the isolation field 4 which becomes the semiconductor substrate 3 which consists of silicon, for example from an insulator layer and carrying out isolation of the image pck-up field 81 and the circumference circuit field 82, isolation of the element in each field is carried out (refer to drawing 2). Then, the gate insulator layer 5 is formed on the semiconductor substrate of the image pck-up field 81 and the circumference circuit field 82 (refer to drawing 2). Then, the gate electrodes 6 and 6a are formed in the position of the request on the gate insulator layer 5 (refer to drawing 2). Then, as shown in drawing 2, diffusion layers 8a and 8b are formed in the source and drain field 7 row with an ion implantation etc.

[0030] Next, after depositing an insulator layer all over a substrate, using CMP (Chemical Mechanical Polishing), flattening of the front face is carried out, and the flattening insulator layer 9 is formed (refer to drawing 3). then, lithography technology -- using -- the contact of the source and the drain field 7 which leads to a row respectively on the other hand at diffusion layer 8b -- the sputtering method after puncturing a hole 10 in an insulator layer 9 -- using -- these contacts -- the 1st wiring layer 11 is formed by depositing aluminum all over a substrate and carrying out patterning so that a hole 10 may be embedded (refer to drawing 3).

[0031] Next, as shown in drawing 4, after depositing an insulator layer all over a substrate, using CMP, flattening of the front face is carried out, and the flattening insulator layer 12 is formed. then, the contact which leads to the 1st wiring layer 11 in the insulator layer 12 of a circumference circuit field using lithography technology -- these contacts after puncturing a hole 13 -- while forming the 2nd wiring layer 14 when aluminum is deposited all over a substrate and carries out patterning so that a hole 13 may be embedded, shading film 14a are formed on the insulator layer 12 of the image pck-up field 81 (refer to drawing 4).

[0032] Next, after depositing an insulator layer all over a substrate, flattening of the front face is carried out using CMP, and the flattening insulator layer 15 is formed (refer to drawing 5). then, the contact which leads to the 2nd wiring layer 14 in the insulator layer 15 of a circumference circuit field using lithography technology -- these contacts after puncturing a hole 16 -- when aluminum is deposited all over a substrate and carries out patterning so that a hole 16 may be embedded, the 3rd wiring layer 17 is formed (refer to drawing 5).

[0033] Next, the BPSG (Boron Phosphorus Silicate Glass) film 18 is deposited all over a substrate. Then, while flattening of the BPSG film 18 on the image pck-up field 81 is carried out, height becomes low rather than the BPSG film 18 of the circumference circuit field 82 (refer to drawing 6). Then, a color filter (not shown) and a micro lens 2 are formed in the image pck-up field 81. In addition, although the color filter is not illustrated, since it becomes possible to secure distance sufficient between the image pck-up field 81 of a low level, and the high-rise circumference circuit field 82, the irregular color by the color filter is not produced.

[0034] (Gestalt of the 2nd operation) The composition of the 2nd of the gestalt of operation of the image pck-up system by this invention is shown in drawing 7 below. The image pck-up system of the gestalt of this 2nd operation has composition which considered as the two-layer [ which is shown in drawing 1 ] structure which consists the 2nd wiring layer 14 of the circumference circuit field 82 of wiring 141 and wiring 142 in the image pck-up system of the gestalt of the 1st operation, and thickened compared with the gestalt of the 1st operation. In addition, wiring 141 and shading film 14a are constituted so that it may become the same layer.

[0035] Thus, since the 2nd wiring layer 14 of the circumference circuit field 82 is thick-film-ized compared with the case of the gestalt of the 1st operation, high-speed operation can be made to perform more in the gestalt of this operation. In addition, it is not necessary to say that a good image pck-up property can be acquired like the case of the gestalt of operation of the image pck-up system 1st of the gestalt of this 2nd operation.

[0036] (Gestalt of the 3rd operation) Next, the gestalt of operation of the 3rd of the image pck-up system by this invention is explained with reference to drawing 8 or drawing 14. The cross section in which drawing 8 shows the image pck-up structure of a system of the gestalt of this operation, drawing 9, or drawing 14 is the process cross section showing the manufacturing process of the image pck-up system of the gestalt of this operation.

[0037] The image pck-up system of the gestalt of this operation has composition which is shown in drawing 7 and which made the flattening insulator layer 15 thin while removing the insulator layer 18 of the image pck-up field 81

in the image pck-up system of the gestalt of the 2nd operation. And the light filter (not shown) and the micro lens 20 are formed on the flattening insulator layer 15 made thin.

[0038] In addition, in the gestalt of this operation, flattening of the insulator layer 18 of the best layer is carried out. Compared with the gestalt of the 2nd operation, the image pck-up system of the gestalt of this 3rd operation can be made into the distance of a request of the distance from photo-electric-translation layer 8a to a micro lens 20, and it can raise an image pck-up property further, without spoiling the rapidity of operation of a circumference circuit. Moreover, since the circumference circuit field 82 is made into three-layer wiring structure, high integration of it is attained.

[0039] In addition, although the gestalt of this operation thin-film-ized the flattening insulator layer 15 while removing the insulator layer 18 of the image pck-up field 81 of the gestalt of the 2nd operation, you may constitute so that the flattening insulator layer 15 may be thin-film-ized while it removes the insulator layer 18 of the image pc up field 81 of the gestalt of the 1st operation.

[0040] Next, the image pck-up system manufacture method of the gestalt the 3rd operation is explained with reference to drawing 9 or drawing 14.

[0041] While forming the isolation field 4 which becomes the semiconductor substrate 3 which consists of silicon first, for example from an insulator layer and carrying out isolation of the image pck-up field 81 and the circumference circuit field 82, isolation of the element in each field is carried out (refer to drawing 9). Then, the ga electrodes 6 and 6a are formed in the position of the request on the gate insulator layer 5 on the semiconductor substrate of the image pck-up field 81 and the circumference circuit field 82 (refer to drawing 9). Then, as shown in drawing 9, diffusion layers 8a and 8b are formed in the source and drain field 7 row with an ion implantation etc.

[0042] Next, after depositing an insulator layer all over a substrate, using CMP, flattening of the front face is carried out, and the flattening insulator layer 9 is formed (refer to drawing 10). then, lithography technology -- using -- the contact of the source and the drain field 7 which leads to a row on the other hand at diffusion layer 8b -- the sputteri method after puncturing a hole 10 in an insulator layer 9 -- using -- these contacts -- the 1st wiring layer 11 is forme by depositing aluminum all over a substrate and carrying out patterning so that a hole 10 may be embedded (refer to drawing 10).

[0043] Next, as shown in drawing 11, after depositing an insulator layer all over a substrate, using CMP, flattening the front face is carried out, and the flattening insulator layer 12 is formed. then, the contact which leads to the 1st wiring layer 11 in the insulator layer 12 of a circumference circuit field using lithography technology -- these contac after puncturing a hole 13 -- while forming the 2nd wiring layer 14 when aluminum is deposited all over a substrate and carries out patterning so that a hole 13 may be embedded, shading film 14a are formed on the insulator layer 12 of the image pck-up field 81 (refer to drawing 11). Then, wiring 141 Wiring 142 which turns from aluminum up It forms and considers as the 2nd wiring 14 (refer to drawing 11).

[0044] Next, after depositing an insulator layer all over a substrate, using CMP, flattening of the front face is carried out, and the flattening insulator layer 15 is formed (refer to drawing 12). then, the contact which leads to the 2nd wiring layer 14 in the insulator layer 15 of a circumference circuit field using lithography technology -- these contac after puncturing a hole 16 -- when aluminum is deposited all over a substrate and carries out patterning so that a hol 16 may be embedded, the 3rd wiring layer 17 is formed (refer to drawing 12). Next, after depositing an insulator lay 18 all over a substrate, using CMP, flattening of the front face is carried out, and the flattening insulator layer 18 is formed (refer to drawing 13). Then, the resist pattern (not shown) which has puncturing is formed in the image pck up field 81 using lithography technology, this resist pattern is used as a mask, and the insulator layer 18 of the imag pck-up field 81 is removed (refer to drawing 13). At this time, you may carry out etchback of the insulator layer 15 so that shading film 14a may not be exposed. Thereby, opening 19 is formed in the image pck-up field 81 (refer to drawing 14).

[0045] Next, after removing the above-mentioned resist pattern, the image pck-up system of the gestalt of the 3rd operation which forms a color filter (not shown) and a micro lens 20 in the predetermined place of the bottom of opening 19, and is shown in drawing 8 is completed.

[0046] In addition, in the form of the 1st or the 3rd operation, although the circumference circuit field 82 was three-layer wiring structure, it may be the multilayer-interconnection structure of four or more layers.

[0047]

[Effect of the Invention] As stated above, while being able to acquire a good image pck-up property as much as possible according to this invention, high integration and high-speed operation become possible.

#8

PAT-NO: JP02001298175A  
DOCUMENT-IDENTIFIER: JP 2001298175 A  
TITLE: IMAGE PICKUP SYSTEM  
PUBN-DATE: October 26, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
INOUE, IKUKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP2000110915

APPL-DATE: April 12, 2000

INT-CL (IPC): H01L027/146, H01L031/0232 , H01L031/10 ,  
H04N005/335

ABSTRACT:

PROBLEM TO BE SOLVED: To provide image pickup characteristics as high as possible and to enable high integration and accelerated operation.

SOLUTION: This system is provided with an MOS sensor having photoelectric converting layers 8a located in the form of matrix in an image pickup area 81 on a wafer 3, a peripheral circuit which is formed in the area except for the image pickup area on the wafer having a driving circuit for driving the MOS sensor and a signal processing circuit for processing the output signal of the MOS sensor, and a microlens formed through a first

insulating film onto the  
photoelectric converting layer for converging image signals  
on the  
photoelectric converting layer. A distance from the  
surface of the first  
insulating film to the wafer is made shorter than a  
distance from the surface  
of a second insulating film to the wafer.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-298175  
(P2001-298175A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード* (参考)
H 0 1 L 27/146		H 0 4 N 5/335	U 4 M 1 1 8
31/0232			E 5 C 0 2 4
31/10		H 0 1 L 27/14	A 5 F 0 4 9
H 0 4 N 5/335		31/02	D 5 F 0 8 8
		31/10	G
審査請求 未請求 請求項の数 5 O L (全 9 頁)			

(21) 出願番号 特願2000-110915(P2000-110915)

(22) 出願日 平成12年4月12日 (2000. 4. 12)

(71) 出願人 000003078

株式会社東芝  
東京都港区芝浦一丁目1番1号

(72) 発明者 井上 郁子

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

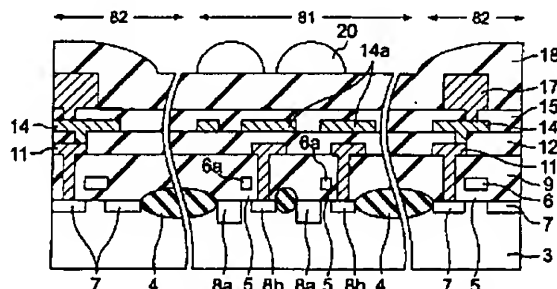
最終頁に続く

(54) 【発明の名称】 撮像システム

(57) 【要約】

【課題】 可及的に高い撮像特性を得るとともに高集積化および高速動作を可能にする。

【解決手段】 半導体基板3の撮像領域81にマトリクス状に配列された光電変換層8aを有するMOS型センサと、撮像領域を除いた半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路およびMOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、光電変換層に画像信号を集光するために光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、を備え、第1の絶縁膜の表面から半導体基板までの距離が第2の絶縁膜の表面から半導体基板までの距離よりも短くなるように構成されている。





## 【特許請求の範囲】

【請求項1】半導体基板の撮像領域にマトリクス状に配列された光電変換層を有するMOS型センサと、前記撮像領域を除いた前記半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路および前記MOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、

前記光電変換層に画像信号を集光するために前記光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、

を備え、前記第1の絶縁膜の表面から前記半導体基板までの距離が前記第2の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする撮像システム。

【請求項2】前記周辺回路部は少なくとも第1乃至第3配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることを特徴とする請求項1記載の撮像システム。

【請求項3】前記撮像領域には、前記第2配線層と同一層となる遮光層が形成されていることを特徴とする請求項2記載の撮像システム。

【請求項4】前記遮光層は前記第2配線層より薄い膜厚を有していることを特徴とする請求項3記載の撮像システム。

【請求項5】前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にほぼ等しいことを特徴とする請求項1乃至4のいずれかに記載の撮像システム。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置を有する撮像システムに関する。

【0002】

【従来の技術】近年、MOS型固体撮像素子は、低電圧、単一電源、低コストという利点があり、注目されている素子である。

【0003】このMOS型固体撮像素子を有する固体撮像装置は、この固体撮像装置の出力信号を処理する信号処理回路がMOS型トランジスタから構成されるため、製造工程を共通化することが可能となり上記信号処理回路と、同一基板上に形成することができる。例えば、図15に示すように、MOS型固体撮像装置を有する撮像システムとしてビデオカメラ60を例にとると、このビデオカメラ60は、撮像素子であるMOS型センサ61と、電圧信号のレベルを調整する自動ゲイン制御回路62（以下、AGC回路62ともいう）と、電圧信号をクランプするクランプ回路63（以下、CLP回路ともいう）と、アナログ信号をデジタル信号に変換するAD変換回路64と、クロックパルスを発生して撮像システム60のタイミングの制御を行うタイミング制御回路6

5と、上記クロックパルスに同期してMOS型センサ61を駆動制御するためのタイミング信号および駆動制御信号を発生するタイミングジェネレータ/シグナルジェネレータ回路66（以下、TG/SG回路66ともいう）と、AD変換回路の出力であるデジタル信号を処理するDSP回路67と、DSP回路67の出力をエンコードするエンコード回路68と、エンコードされた信号を出力する出力回路69と、出力回路69の出力をアナログ信号に変換するDA変換回路70とを備えている。

【0004】MOS型センサ61によって光電変換された画像電圧信号はAGC回路62によってレベルが調整された後、CLP回路63によってクランプされ、AD変換回路64に送られる。そして上記画像電圧信号はAD変換回路64によって1サンプル値が例えば8ビットからなるデジタル画像信号に変換され、DSP回路67に送られる。DSP回路67は、例えば色分離回路、クランプ回路、ガンマ補正回路、ホワイト補正回路、黒補正回路、二一回路、色バランス回路などから成っており、供給されたデジタル画像信号に対して必要な信号処理を行う。そしてDSP回路67によって処理された信号はエンコード回路68に送られる。エンコード回路68においては、送られてきた画像信号をデコードして輝度信号と色差信号に変換する。MOS型センサ61はTG/SG回路66から送られてくるタイミング信号および駆動制御信号によりタイミングが制御される。その後、デコードされた画像信号は出力回路69を介してDA変換回路70に供給され、アナログビデオ信号に変換され、外部に出力される。

【0005】

【発明が解決しようとする課題】上述の撮像システムにおいては、画像光信号を信号電荷に変換する機能を有しているのはMOS型センサ61の撮像領域のみであり、このMOS型センサ61以外の回路は高集積化や速度特性が重視される。高集積化や速度特性の改善を図るためには、多層化を行うことが必要となる。

【0006】一方、光を扱うMOS型センサ61の撮像領域においては、一般に撮像システムの上部に光を集光するためのマイクロレンズが形成され、このマイクロレンズから、半導体基板上に形成された光電変換を行う光電変換領域まで距離が上記マイクロレンズの焦点距離に一致するかどうか問題となる。すなわち、MOS型センサ61の周辺の信号処理回路が高集積化や速度特性の改善のために多層化されても、上記光電変換領域はマイクロレンズからの距離がマイクロレンズの焦点距離にほぼ一致していなければならない。また光電変換領域で遮光層となるA1配線は半導体基板に近い方が遮光などによる乱反射の入射防止となる。

【0007】従来のMOS型固体撮像装置を含む撮像システムにおいては、撮像特性を重視するため、撮像領域

の周辺回路を多層化していない。このため、周辺回路の集積化と高速化が実現できていないという問題が生じる。

【0008】また、周辺回路の動作の高速化を行う場合、あるいは設計を容易にするために、同一基板上に形成される回路（MOS型センサも含む）を多層配線によって形成する場合は、光電変換領域への集光の実現は困難となり、撮像特性の劣化を引き起こすという問題が生じる。

【0009】これらの問題点を図16および図17を参照して説明する。

【0010】図16は図15に示す撮像システムを切断線X-X'で切断したときの断面図である。この図16に示す撮像システムは撮像特性を重視した構成となっている。この撮像システムは、MOS型センサ61が形成される半導体基板23の撮像領域81には画像光信号40を画像電気信号に変換する光電変換層27aと、拡散層27bが形成されている。この光電変換層27aと拡散層27bとの間の半導体基板23上にはゲート絶縁膜を介してゲート電極25aが形成されている。ゲート電極25aと、光電変換層27aと、拡散層27bとによってMOS型センサ61が構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。拡散層27bは層間絶縁膜31に設けられたコンタクトを介して第1のA1配線28に接続されている。したがって、光電変換層27aに変換された画像電気信号はゲート25aによって拡散層27bおよび上記コンタクトを介して第1のA1配線28に送られる。

【0011】また、光電変換層27aを除いた撮像領域81にはA1からなる遮光膜29aが形成されている。そして、光電変換層27aの真上の、層間絶縁膜31上の領域には画像光信号40を集光するためのマイクロレンズ32が設けられた構成となっている。

【0012】一方、絶縁物からなる素子分離領域24によって撮像領域81と素子分離された周辺回路領域82の半導体基板23上には上記回路を構成するMOSTランジスタが形成されている。これらのMOSTランジスタは、半導体基板23に形成された拡散層からなるソース領域およびドレイン領域26と、これらのソース領域26とドレイン領域26との間に半導体基板23上にゲート絶縁膜を介して形成されたゲート電極25とを備えている。そしてソース領域およびドレイン領域26のうち一方は層間絶縁膜31に設けられたコンタクトを介して第1のA1配線28に接続されている。また、この第1のA1配線28には層間絶縁膜に設けられたコンタクトを介して第2のA1配線29に接続された構成となっている。なお第2のA1配線29と遮光膜29aは同一層を構成している。

【0013】この図16に示す撮像システムにおいては、マイクロレンズ32によって集光された画像光信号

40が、光電変換層27aで結像し易いように、撮像領域81および周辺回路領域82で2層配線構造とし、しかも第2のA1配線29および遮光膜29aの膜厚を薄くして光電変換層27aからマイクロレンズ32までの距離を短くすることにより上記距離をマイクロレンズ32の焦点距離にほぼ一致するように構成している。このため、周辺回路領域82に形成された回路の高集積化および高速化の低下が生じる。

【0014】この高集積化および高速化の低下を防止するために、周辺回路領域82に形成される回路を、第1乃至第3のA1配線28、29、30を有する3層配線構造とするとともに、第2のA1配線29および同一層となるA1の遮光膜29aならびに第3のA1配線30の膜厚を厚くした構成の撮像システムを図17に示す。しかし、この図17に示す撮像システムにおいては、光電変換層27aからマイクロレンズ32までの距離が、マイクロレンズ32の焦点距離より長くなり、画像光信号40が光電変換層27aで結像するのが難しくなり、撮像特性が劣化する。

【0015】本発明は上記事情を考慮してなされたものであって、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能な撮像システムを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明による撮像システムは、半導体基板の撮像領域にマトリクス状に配列された光電変換層を有するMOS型センサと、前記撮像領域を除いた前記半導体基板の領域に形成され、前記MOS型センサを駆動する駆動回路および前記MOS型センサの出力信号を処理する信号処理回路を有する周辺回路部と、前記光電変換層に画像信号を集光するために前記光電変換層上に第1の絶縁膜を介して形成されたマイクロレンズと、を備え、前記第1の絶縁膜の表面から前記半導体基板までの距離が前記第2の絶縁膜の表面から前記半導体基板までの距離よりも短くなるように構成されていることを特徴とする。

【0017】なお、前記周辺回路部は少なくとも第1乃至第3配線層を有し、これらの配線層が絶縁膜を介して積層された多層配線構造であることが好ましい。

【0018】なお、前記撮像領域には、前記第2配線層と同一層となる遮光層が形成されていることが好ましい。

【0019】なお、前記遮光層は前記第2配線層より薄い膜厚を有していることが好ましい。

【0020】なお、前記マイクロレンズから光電変換層までの距離は前記マイクロレンズの焦点距離にほぼ等しいことが好ましい。

【0021】

【発明の実施の形態】本発明の実施の形態を以下、図面を参照して説明する。

【0022】(第1の実施の形態)本発明による撮像システムの第1の実施の形態を図1乃至図6を参照して説明する。図1は本実施の形態の撮像システムの構成を示す断面図、図2乃至図6は本実施の形態の撮像システムの製造工程を示す断面図である。

【0023】この実施の形態の撮像システムは、MOS型センサと、その周辺回路とが同一チップ上に形成された構成となっている。すなわち図1に示すように、MOS型センサが形成される半導体基板3の撮像領域81には、画像光信号を画像電気信号に変換する光電変換層8aと、拡散層8bとが形成されている。この光電変換層8aと拡散層8bとの間の半導体基板3上にはゲート絶縁膜5を介してゲート電極6aが形成されている。このゲート電極6aと、光電変換層8aと、拡散層8bとによってMOS型センサが構成される。なお、光電変換層8aは撮像領域81においてマトリクス状に配列されている。

【0024】一方、上記撮像領域81とは素子分離された、周辺回路領域82の半導体基板3上には、周辺回路を構成するMOSTランジスタが形成されている。なお、周辺回路は例えば図15乃至図16で説明した周辺回路と同一の構成となっている。これらのMOSTランジスタは半導体基板3に形成された拡散層からなるソース領域およびドレイン領域7と、これらのソース領域およびドレイン領域7の間の半導体基板3上にゲート絶縁膜5を介して形成されたゲート電極6とを備えている。また、上記ゲート電極6、6a、ソースおよびドレイン領域7、ならびに拡散層8a、8bは表面が平坦化された絶縁膜9によって覆われている。この平坦化絶縁膜9の表面上には例えばA1からなる第1配線層11が形成されている。これらの第1配線層11は周辺回路領域82においてはソースおよびドレイン領域7のうちの一方の領域と、絶縁膜9内に設けられたコンタクトを介して接続され、撮像領域81においては、絶縁膜9内に設けられたコンタクトを介して拡散層8bと接続された構成となっている。

【0025】これらの第1配線層11は、表面が平坦化された絶縁膜12によって覆われている。そしてこの絶縁膜12の表面には、撮像領域81において例えばA1から遮光膜14a、14aが形成され、周辺回路領域82において例えばA1からなる第2配線層14が形成されている。なお、これらの遮光膜14aおよび第2配線層14は膜厚が例えば500nm以下の膜厚で形成する。そして第2配線層14は絶縁膜12に設けられたコンタクトを介して第1配線層11に接続された構成となっている。

【0026】これらの第2配線層14および遮光膜14aは表面が平坦化された絶縁膜15によって覆われている。そして絶縁膜15の表面には、周辺回路領域82において例えばA1からなる第3配線層17が形成された

構成となっている。この第3配線層17は絶縁膜15内に設けられたコンタクトを介して第2配線層14に接続された構成となっている。また、この第3配線層17を覆うように基板全面に絶縁膜18が形成されている。この絶縁膜18の表面は、撮像領域81において平坦化されている。撮像領域81の平坦化された絶縁膜18上には、画像光信号が光電変換層8aに集光するようにマイクロレンズ20が設けられた構成となっている。

【0027】以上説明したように本実施の形態によれば、マイクロレンズ20が形成される撮像領域81の絶縁膜18の表面は、平坦化することにより周辺回路領域82の絶縁膜18の表面より低くなるように構成されているため、マイクロレンズに入射した画像光信号を光電変換層8aに集光し易くなり、良好な撮像特性を得ることができる。また周辺回路領域82は3層以上の配線構造とすることが可能となり、周辺回路の高集積化および高速化を実現することができる。また、A1からなる第2配線層14および遮光膜14aを薄く形成しているため、A1の結晶成長に伴うヒロックを抑制することができる。

【0028】次に本実施の形態の撮像システムの製造方法を図2乃至図6を参照して説明する。

【0029】まず、例えばシリコンからなる半導体基板3に絶縁膜からなる素子分離領域4を形成し、撮像領域81と周辺回路領域82とを素子分離するとともに、各領域内の素子を素子分離する(図2参照)。その後、撮像領域81および周辺回路領域82の半導体基板上にゲート絶縁膜5を形成する(図2参照)。続いて、ゲート絶縁膜5上の所望の位置にゲート電極6、6aを形成する(図2参照)。続いて図2に示すようにイオン注入等によりソースおよびドレイン領域7ならびに拡散層8a、8bを形成する。

【0030】次に基板全面に絶縁膜を堆積した後、CMP(Chemical Mechanical Polishing)を用いて、その表面を平坦化し、平坦化絶縁膜9を形成する(図3参照)。続いて、リソグラフィ技術を用いてソースおよびドレイン領域7の一方、ならびに拡散層8bに各々通じるコンタクト孔10を絶縁膜9内に開孔した後、例えばスパッタリング法を用いてこれらのコンタクト孔10を埋込むようにA1を基板全面に堆積し、パターニングすることにより第1配線層11を形成する(図3参照)。

【0031】次に図4に示すように、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜12を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜12内に、第1配線層11に通じるコンタクト孔13を開孔した後、これらのコンタクト孔13を埋込むようにA1を基板全面に堆積し、パターニングすることにより、第2配線層14を形成するとともに撮像領域81の絶縁膜12上に遮光膜14aを形成する(図4参照)。

【0032】次に、基板全面に絶縁膜を堆積した後、CMPを用いてその表面を平坦化し、平坦化絶縁膜15を形成する(図5参照)。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜15内に、第2配線層14に通じるコンタクト孔16を開孔した後、これらのコンタクト孔16を埋込むようにA1を基板全面に堆積し、パターニングすることにより第3配線層17を形成する(図5参照)。

【0033】次に基板全面に例えばBPSG(Boron Phosphorus Silicate Glass)膜18を堆積する。すると、撮像領域81上のBPSG膜18は平坦化されるとともに、周辺回路領域82のBPSG膜18よりも高さが低くなる(図6参照)。続いて、撮像領域81に色フィルタ(図示せず)およびマイクロレンズ20を形成する。なお、色フィルタは図示していないが、低層の撮像領域81と高層の周辺回路領域82との間に十分な距離を確保することが可能となるため、色フィルタによる色むらは生じない。

【0034】(第2の実施の形態)次に本発明による撮像システムの第2の実施の形態の構成を図7に示す。この第2の実施の形態の撮像システムは、図1に示す第1の実施の形態の撮像システムにおいて、周辺回路領域82の第2配線層14を、配線14<sub>1</sub>および配線14<sub>2</sub>からなる2層構造とし、第1の実施の形態に比べて厚くした構成となっている。なお、配線14<sub>1</sub>と遮光膜14aは同一層となるように構成されている。

【0035】このように本実施の形態においては、周辺回路領域82の第2配線層14を第1の実施の形態の場合に比べて厚膜化しているため、より高速動作を行わせることができる。なお、この第2の実施の形態の撮像システムも第1の実施の形態の場合と同様に良好な撮像特性を得ることができることは言うまでもない。

【0036】(第3の実施の形態)次に、本発明による撮像システムの第3の実施の形態を図8乃至図14を参照して説明する。図8は本実施の形態の撮像システムの構成を示す断面図、図9乃至図14は本実施の形態の撮像システムの製造工程を示す工程断面図である。

【0037】この実施の形態の撮像システムは、図7に示す第2の実施の形態の撮像システムにおいて、撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄くした構成となっている。そして薄くした平坦化絶縁膜15上にカラフィルタ(図示せず)およびマイクロレンズ20が形成されている。

【0038】なお、この実施の形態においては、最上層の絶縁膜18は平坦化されている。この第3の実施の形態の撮像システムは、第2の実施の形態に比べて、光電変換層8aからマイクロレンズ20までの距離を所望の距離とすることができ、周辺回路の動作の高速性を損なうことなく撮像特性を更に向上させることができる。また周辺回路領域82は3層配線構造としているため高集

積化が可能となる。

【0039】なお本実施の形態は第2の実施の形態の撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄膜化した、第1の実施の形態の撮像領域81の絶縁膜18を除去するとともに平坦化絶縁膜15を薄膜化するように構成しても良い。

【0040】次に第3の実施の形態の撮像システム製造方法を図9乃至図14を参照して説明する。

【0041】まず例えばシリコンからなる半導体基板3に絶縁膜からなる素子分離領域4を形成し、撮像領域81と周辺回路領域82とを素子分離するとともに、各領域内の素子を素子分離する(図9参照)。その後、撮像領域81および周辺回路領域82の半導体基板上にゲート絶縁膜5上の所望の位置にゲート電極6、6aを形成する(図9参照)。続いて、図9に示すようにイオン注入等によりソースおよびドレイン領域7ならびに拡散層8a、8bを形成する。

【0042】次に基板全面に絶縁膜を堆積したあと、CMPを用いて、その表面を平坦化し、平坦化絶縁膜9を形成する(図10参照)。続いて、リソグラフィ技術を用いてソースおよびドレイン領域7の一方、ならびに拡散層8bに通じるコンタクト孔10を絶縁膜9内に開孔したあと、例えばスパッタリング法を用いてこれらのコンタクト孔10を埋込むようにA1を基板全面に堆積し、パターニングすることにより第1配線層11を形成する(図10参照)。

【0043】次に図11に示すように、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜12を形成する。続いてリソグラフィ技術を用いて周辺回路領域の絶縁膜12内に、第1配線層11に通じるコンタクト孔13を開孔した後、これらのコンタクト孔13を埋込むようにA1を基板全面に堆積し、パターニングすることにより第2配線層14を形成するとともに撮像領域81の絶縁膜12上に遮光膜14aを形成する(図11参照)。その後、配線14<sub>1</sub>上にA1からなる配線14<sub>2</sub>を形成し、第2配線14とする(図11参照)。

【0044】次に、基板全面に絶縁膜を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜15を形成する(図12参照)。続いてリソグラフィ技術を用いて、周辺回路領域の絶縁膜15内に、第2配線層14に通じるコンタクト孔16を開孔した後、これらのコンタクト孔16を埋込むようにA1を基板全面に堆積し、パターニングすることにより第3配線層17を形成する(図12参照)。次に基板全面に絶縁膜18を堆積した後、CMPを用いて、その表面を平坦化し、平坦化絶縁膜18を形成する(図13参照)。続いてリソグラフィ技術を用いて、撮像領域81に開孔を有するレジストパターン(図示せず)を形成し、このレジストパターンをマスクにして撮像領域81の絶縁膜18を除去する

(図13参照)。この時、絶縁膜15を、遮光膜14aが露出しないようにエッチバックしても良い。これにより、撮像領域81に開口19が形成される(図14参照)。

【0045】次に上記レジストパターンを除去した後、開口19の底の所定の場所に色フィルタ(図示せず)およびマイクロレンズ20を形成して図8に示す第3の実施の形態の撮像システムを完成する。

【0046】なお、第1乃至第3の実施の形態においては、周辺回路領域82は3層配線構造であったが4層以上の多層配線構造であっても良い。

【0047】

【発明の効果】以上述べたように本発明によれば、可及的に良好な撮像特性を得ることができるとともに高集積化および高速動作が可能となる。

【図面の簡単な説明】

【図1】本発明による撮像システムの第1の実施の形態の構成を示す断面図。

【図2】本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図3】本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図4】本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図5】本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図6】本発明の第1の実施の形態の撮像システムの製造工程を示す断面図。

【図7】本発明による撮像システムの第2の実施の形態の構成を示す断面図。

【図8】本発明による撮像システムの第3の実施の形態の構成を示す断面図。

【図9】本発明の第3の実施の形態の製造工程を示す断面図。

【図10】本発明の第3の実施の形態の製造工程を示す断面図。

【図11】本発明の第3の実施の形態の製造工程を示す断面図。

【図12】本発明の第3の実施の形態の製造工程を示す断面図。

【図13】本発明の第3の実施の形態の製造工程を示す断面図。

【図14】本発明の第3の実施の形態の製造工程を示す断面図。

【図15】撮像システムの一具体例の構成を示す平面図。

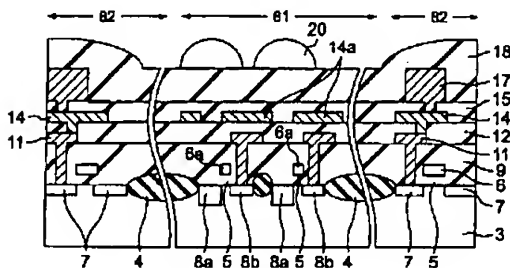
【図16】従来の撮像システムの構成を示す断面図。

【図17】従来の撮像システムの構成を示す断面図。

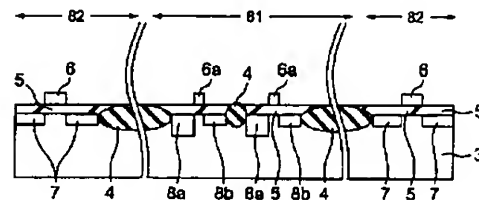
【符号の説明】

- 3 半導体基板
- 4 素子分離領域
- 5 ゲート絶縁膜
- 6, 6a ゲート電極
- 7 ソースおよびドレイン領域
- 8a 光電変換層
- 8b 拡散層
- 9 平坦化絶縁膜
- 11 第1配線層
- 12 平坦化絶縁膜
- 14 第2配線層
- 14a 遮光膜
- 15 平坦化絶縁膜
- 17 第3配線層
- 18 絶縁膜
- 20 マイクロレンズ
- 81 撮像領域
- 82 周辺回路領域

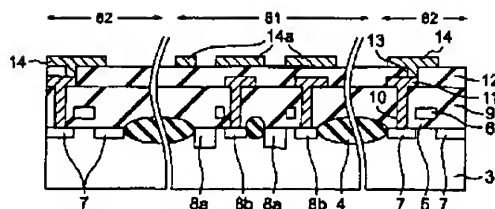
【図1】



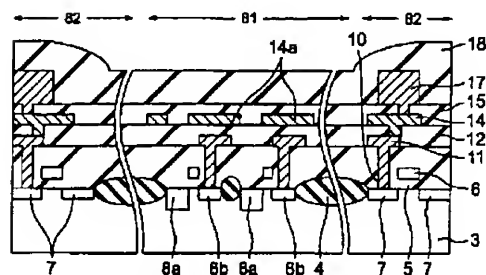
【図2】



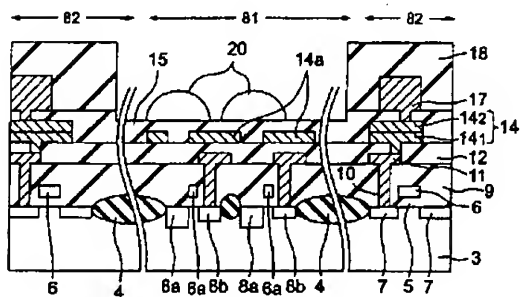
【图4】



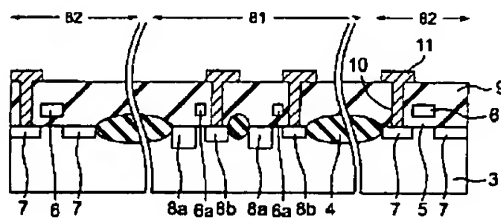
【図6】



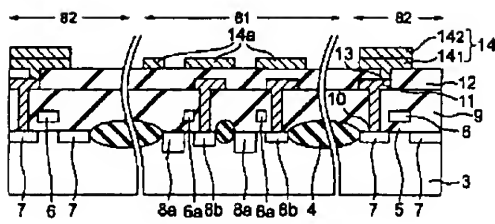
【図8】



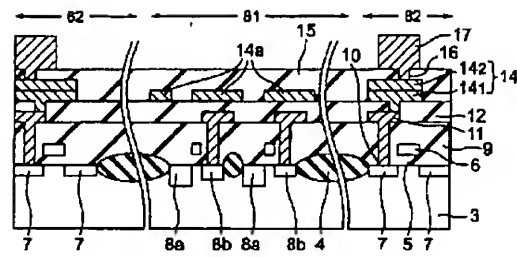
【図10】



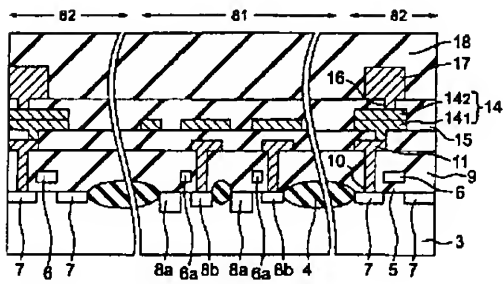
【図11】



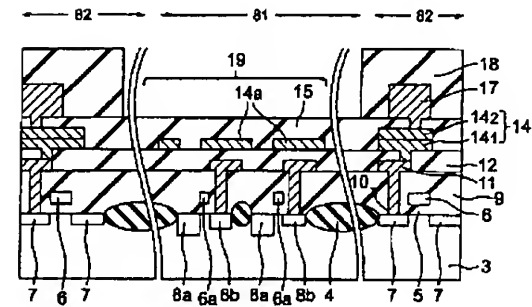
【図12】



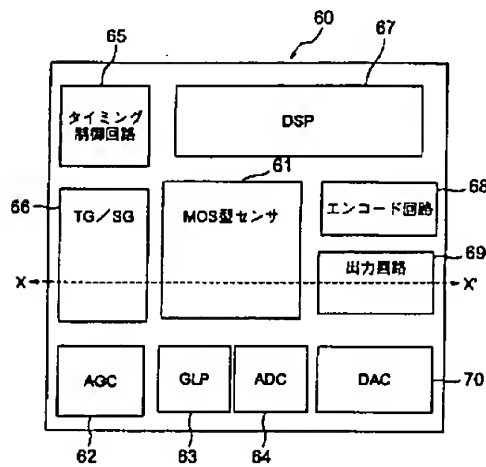
【図13】



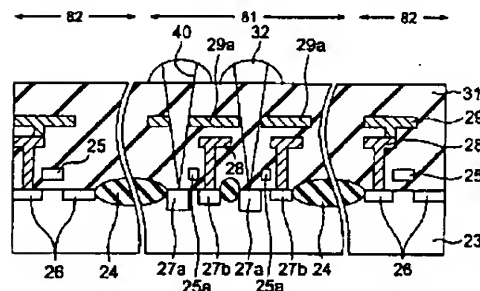
【図14】



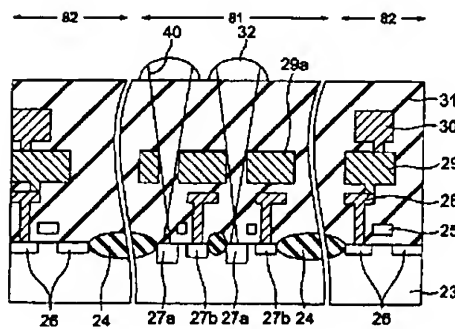
【図15】



【図16】



【図17】





## フロントページの続き

Fターム(参考) 4M118 AA10 BA14 FA06 FA28 GB07  
GB11 GD04 GD07  
5C024 CY47 GX02 GY31 GZ36 HX01  
HX02  
5F049 MA15 MB02 NA03 NB05 RA02  
RA08 SS03 TA12 TA13 UA01  
UA07 UA14  
5F088 AA09 AB02 BA02 BB03 EA04  
EA08 GA04 HA10 JA12 JA13